

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-144474

(43)Date of publication of application : 28.05.1999

(51)Int.Cl.

G11C 14/00
G11C 11/22
H01L 27/10
H01L 27/108
H01L 21/8242

(21)Application number : 10-242327

(71)Applicant : SAMSUNG ELECTRON CO LTD

(22)Date of filing : 27.08.1998

(72)Inventor : TEI TOCHIN

(30)Priority

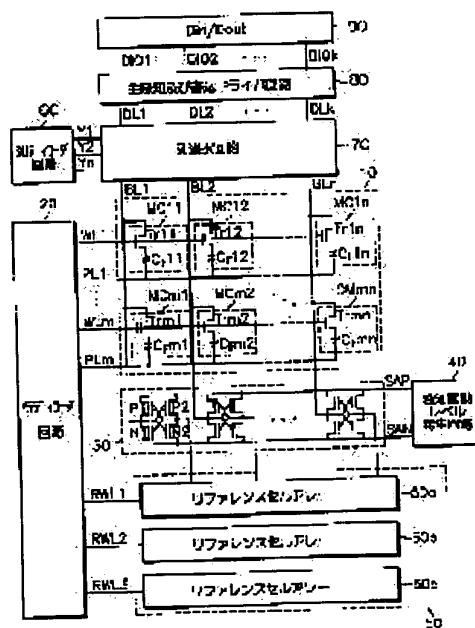
Priority number : 97 9743558 Priority date : 30.08.1997 Priority country : KR

(54) FERRO-DIELECTRIC RANDOM ACCESS MEMORY DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To freely adjust the biased reference level within a chip to improve sensing margin and reliability by additionally providing one or more redundant cells of which reference cell array corresponds to the bit line.

SOLUTION: As at least one or more redundant cell arrays, a reference cell array 50b is provided. When the reference level data offered to the reference bit line by the reference cell array 50a is deviated to the level corresponding to the data '1' or '0', the reference cell array 50b as the redundant cell array is used as a means for compensating such deviation. Thereby, when the reference is biased in the level corresponding to the data '1' or '0', the biased reference level can be adjusted by the redundant cell array and thereby the stable sensing margin can be obtained.



LEGAL STATUS

[Date of request for examination]

23.04.2003

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平11-144474

(43)公開日 平成11年(1999) 5月28日

(51)Int.Cl.⁹

識別記号

FI

G11C 14/00

11/22

H01L 27/10

27/108

21/8242

451

G11C 11/34

11/22

H01L 27/10

451

651

審査請求 未請求 請求項の数6 OL (全10頁)

(21)出願番号

特願平10-242327

(22)出願日

平成10年(1998) 8月27日

(31)優先権主張番号

1997 43558

(32)優先日

1997年 8月30日

(33)優先権主張国

韓国 (KR)

(71)出願人 390019839

三星電子株式会社

大韓民国京畿道水原市八達区梅灘洞416

(72)発明者 鄭 東鎮

大韓民国京畿道安養市鴻安區石水1洞 (番

地なし) 漢道エービーティ 3-504

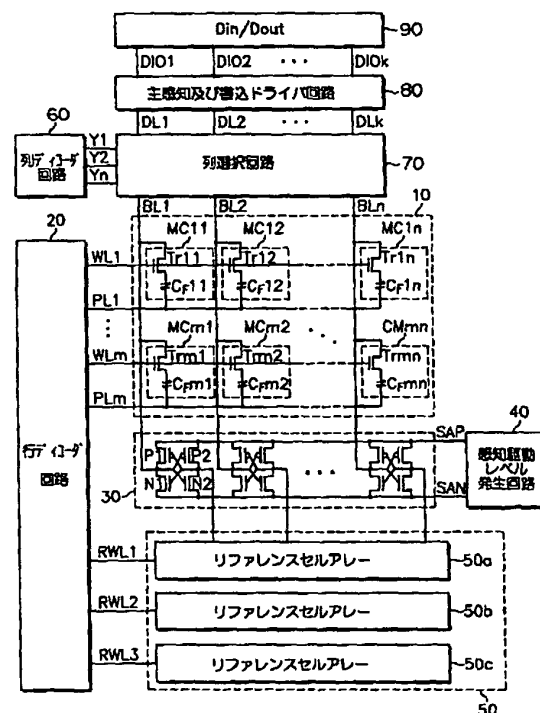
(74)代理人 弁理士 志賀 正武 (外1名)

(54)【発明の名称】 強誘電体ランダムアクセスメモリ装置

(57)【要約】

【課題】 信頼性及びセンシングマージンの向上した、バイアスされたリファレンスレベルをチップ内部で自由に調停できる冗長セルアレーを具備した強誘電体RAM装置を提供すること。

【解決手段】 ワードライン、ビットライン、ワードラインに対応するセル電極ライン、そして各々が強誘電体キャパシタとスイッチングトランジスターを具備したメモリセルのメモリアレーと、メモリセルのうち、選択されたメモリセルのデータビットに対応するレベル、そしてデータビットに各々対応するレベルの平均レベルを有するリファレンスレベルを受け入れて、選択されたデータビットのレベルを感知するための感知回路と、感知回路でリファレンスレベルを提供するためのリファレンスセルアレーとを含み、リファレンスセルアレーは、ビットラインに各々対応する少なくとも1つ以上の冗長セルを付加的に具備する。



【特許請求の範囲】

【請求項1】 ワードライン、ビットライン、前記ワードラインに対応するセル電極ライン、そして各々が強誘電体キャパシタとスイッチングトランジスターを具備し、前記強誘電体キャパシタの1つの電極は対応するスイッチングトランジスターを通して対応するビットラインに接続され、他の電極は対応するセル電極ラインに接続され、前記スイッチングトランジスターの制御電極は対応するワードラインに接続されるメモリセルのメモリアレーと、

前記メモリセルのうち、選択されたメモリセルのデータビットに対応するレベル、そしてデータビットに各々対応するレベルの平均レベルを有するリファレンスレベルを受け入れて、前記選択されたデータビットのレベルを感知するための感知回路と、

前記ビットラインに各々対応する複数のリファレンスセルを具備し、前記感知回路で前記リファレンスレベルを提供するためのリファレンスセルアレーとを含み、

前記リファレンスセルアレーは、前記ビットラインに各々対応する少なくとも1つ以上の冗長セルを付加的に具備することによって前記リファレンスレベルがデータビットのうち、1方向でバイアスされる時、前記バイアスされたリファレンスレベルを補正することを特徴とする不揮発性メモリ装置。

【請求項2】 前記各ビットラインに対応する前記リファレンスセルと前記冗長セルは互いに違う面積を有する強誘電体キャパシタを各々含むことを特徴とする請求項1に記載の不揮発性メモリ装置。

【請求項3】 前記ビットラインと前記リファレンスセルの比は、1:1で構成されることを特徴とする請求項1に記載の不揮発性メモリ装置。

【請求項4】 ワードライン、ビットライン、前記ワードラインに対応するセル電極ライン、そして各々が強誘電体キャパシタとスイッチングトランジスターを具備し、前記強誘電体キャパシタの1つの電極は対応するスイッチングトランジスターを通して対応するビットラインに接続され、他の電極は対応するセル電極ラインに接続され、前記スイッチングトランジスターの制御電極は対応するワードラインに接続されるメモリセルのメモリセルアレーと、

前記メモリセルのうち、選択されたメモリセルのデータビットに対応するレベル、そしてデータビットに各々対応するレベルの平均レベルを有するリファレンスレベルを受け入れて、選択されたメモリセルのデータビットのレベルを感知するための感知回路と、

前記ビットラインに各々対応する複数のリファレンスセルを具備し、前記感知回路で前記リファレンスレベルを提供するためのリファレンスセルアレーと、

前記ビットラインと前記リファレンスセルの比は、1:1であり、

前記各ビットラインに対応する少なくとも1つ以上の冗長セルを具備し、前記リファレンスレベルがデータビットのうち、1つの方向にバイアスされる時、前記リファレンスセルを対応する前記冗長セルで代替することによって、前記バイアスされたリファレンスレベルを補正するための冗長セルアレーを含むことを特徴とする不揮発性メモリ装置。

【請求項5】 前記各ビットラインに対応する冗長セル、又は少なくとも2つ以上の冗長セルは、前記リファレンスセルの強誘電体キャパシタの面積と違う面積を有するキャパシタを含むことを特徴とする請求項4に記載の不揮発性メモリ装置。

【請求項6】 前記冗長セルは、相互違う面積を有する強誘電体キャパシタを含むことを特徴とする請求項4に記載の不揮発性メモリ装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、強誘電体ランダムアクセスメモリ(ferroelectric random access memory:FRAM)装置に関するものであり、より詳しくは、書込/読出動作時、メモリセルに貯蔵されたデータの基準になるレベルを調停できるリファレンスセルアレー(reference cell array)に関するものである。

【0002】

【従来の技術】最近、電源オフ時まで、データを維持する機能を有する不揮発性メモリは、ヒステリシス特性(hysteresis characteristic)を示すPZTのような強誘電体物質の使用を通して実現してきた。メモリセルにそのような強誘電体物質を使用することによって、不揮発性メモリは簡単な構造で具現することができる。強誘電体RAMは、不揮発性特性を有し、高速低電圧動作ができるため、多くのメモリチップメーカーの関心と競争が高まってきている。

【0003】強誘電体キャパシタとスイッチングトランジスターで構成されたメモリセルは、強誘電体キャパシタ(C_F:Ferroelectric Capacitor)の電気的分極状態によってデータの論理的な状態('1'又は'0')を貯蔵する。強誘電体キャパシタC_Fの両端に電圧が印加される時、電界(electric field)方向によって強誘電体物質が分極(polarization)され、そのような分極状態が変わるスイッチングスレシールド電圧(switching threshold voltage)を強制電圧(coercive voltage)と呼ぶ。

【0004】そして、メモリセルに貯蔵されたデータを読出すため、強誘電体キャパシタの正電極の間の電圧差を印加してビットラインに励起される電荷量の変化でメモリセルに貯蔵されたデータの状態を感知する。応用の幾つの例が日本特許NOs. 63-201998 an

d 1-158691に、そして論文“A 256K b Non-volatile Ferroelectric Memory at 3V and 100ns” (ISSCC, Digest of Technical Papers, pp. 268-269, 1994, 2月) に掲載されている。

【0005】図1は、1T/1C強誘電体メモリセルを示す。メモリセルMCは、1つのスイッチングトランジスタTrと1つの強誘電体C_F(1ビット当たり1ートランジスタ及び1-キャパシタ: 1T/1C)とで構成される。スイッチングトランジスタTrは、強誘電体キャパシタC_Fの1つの電極とビットラインBLに各々接続された2つの主電極、即ちドレイン電極とソース電極を有し、ワードラインWLに接続されたゲート電極を有する。強誘電体キャパシタC_Fの他の電極は、プレートラインPLに接続される。

【0006】図2は、強誘電体キャパシタのヒステリシス特性を示すグラフである。グラフの横軸(abcissa)は、キャパシタの2つの電極の間の電位差、即ちキャパシタ両端の電圧(volts)を示し、縦軸(ordinate)は、強誘電体物質の自発分極(spontaneous polarization)によってそのものの表面に発生する電荷の量、即ち分極度($\mu\text{C}/\text{cm}^2$)を示す。

【0007】0Vの電圧が印加されて強誘電体物質で何の電界も印加されないと、多くの場合、分極ドメイン(polarization domains)は、不均一で分極が発生しない。キャパシタ両端の電圧が正の方向に増加する時、分極度(又は電荷量)は、0(zero)から正の分極領域内の点Aまで増加する。点Aで、全てのドメインは1方向で分極され、点Aでの分極度は最大値に達するようになる。この時、分極度、即ち強誘電体物質が保有する電荷の量はQ_sで表示され、キャパシタ両端に印加された電圧の大きさは動作電圧V_{cc}である。以後、キャパシタ両端の電圧が再び0Vまで下がっても分極度は0まで下がらずに点Bに留まる。

【0008】このような残留分極によって強誘電体物質が保有する電荷の量、即ち残留分極はQ_rで表示される。次に、キャパシタ両端の電圧が負の方向に増加すると、分極度は点Bから負の電荷分極領域内の点Cに移動する(図2で曲線21)。点Cで、強誘電体物質の全てのドメインは、点Aでの分極方向と反対の方向に分極される。この時、分極度は-Q_sで表示され、キャパシタ両端の印加された電圧の大きさは-V_{cc}である。以後、キャパシタ両端の電圧が再び0Vまで下がっても分極度は0まで下がらずに点Dに留まる。この時の残留分極度は-Q_rで表示される。キャパシタ両端に印加される電圧の大きさがもう一度正の方向に増加するようになると、強誘電体物質の分極度は点DからAに移動する。

【0009】電界を発生するための電圧が、2つの電極

の間に強誘電体物質が挿入された強誘電体キャパシタで1回印加されると、以後電極がフローティング状態(floating state)に設定されても自発分極による分極の方向は維持される。自発分極による強誘電物質の表面電荷(surface charge)は漏洩等によって自然に失われることはない。分極度が0になるように反対方向に電圧が印加されないと、分極の方向はそのまま維持される。

【0010】次に、FRAMの書込/読出は上述のような分極反転によって行われる。従って、FRAMの動作速度は、分極反転時間によって決定される。強誘電体キャパシタの分極反転速度は、キャパシタの面積、強誘電体薄膜の厚さ、印加電圧等によって決定されるが、通常ns単位である。これは μs 単位の書込/時間を有する読出EEPROMやフラッシュメモリと比較する時、より高速で動作できることを意味する。

【0011】再び、図2を参照すると、分極状態が点Bにある強誘電体キャパシタC_Fにデータ‘1’が貯蔵されていると仮定する。高電圧レベル(ここで、電源電圧: V_{cc})がワードラインWLに印加されることによってスイッチングトランジスタTrがオンされ、そして負の電圧(-V_{cc})がビットラインBLとプレートラインPLを通して強誘電体キャパシタC_Fに印加される時、強誘電体キャパシタC_Fの分極Pは状態点Bから状態点Cを通して状態点Dに移動する。この状態遷移に該当する電荷dQ₁は、スイッチングトランジスタTrを通してビットラインBLと強誘電体キャパシタC_Fの間に伝達される。

【0012】電荷伝達(charge transfer)は、ビットラインBLと接続された感知増幅器(図4参照)によって検出され、それはデータ値‘1’がメモリセルMCから読出されたことを意味する。メモリセルMCからデータ‘1’を読出した後、ビットラインBL上の同一のデータ‘1’はプレートラインPLの電圧を下げることによってメモリセルMCに再書込(write back)される。この書込結果は、状態点Dから状態点Aに逆状態遷移(reverse state transient)する。

【0013】反面、分極状態が点Dにある強誘電体キャパシタC_Fにデータ‘0’が貯蔵された場合、前の仮定のように、高電圧レベル(ここで、電源電圧V_{cc})がワードラインWLで印加されることによってスイッチングトランジスタTrがオンされ、負の電圧がビットラインBLとプレートラインPLを通して強誘電体キャパシタC_Fに印加される時、そのものの分極Pは状態点Dから状態点Cに移動した後、再び状態点Dに戻る。この状態遷移に該当する電荷dQ₀は、スイッチングトランジスタTrを通してビットラインBLと強誘電体キャパシタC_Fの間に伝達される。電荷伝達は、ビットラインBLと接続された感知増幅器(図4参照)

によって検出され、それはデータ値‘0’がメモリセルMCから読出されたことを意味する。

【0014】この分野の通常の知識を持っている者にはよく知られるように、2T/2C方式は、メモリセルの数に各々対応するリファレンスセル(reference cells)が要求されるため、高集積強誘電体メモリ装置には不適である。反面、1T/1C方式は多数のメモリセルに対応するリファレンスセルは唯1つだけ要求されるため、高集積強誘電体メモリ装置に適している。ここで、リファレンスセルはメモリセルと同一の特性を有する強誘電体キャパシタ及びスイッチングトランジスターで構成される。

【0015】しかし、多数のメモリセルに対応する1つのリファレンスセルの強誘電体キャパシタの特性が不均一な場合、即ち強誘電体キャパシタのヒステリシス特性を示すグラフでスイッチング/非スイッチング特性(switching/non-switching characteristic)(スイッチング部分：図2の21及び22曲線、非スイッチング部分：図2の23及び24)の変化が、ある一方に偏る(biased)場合、キャパシタの特性が不均一なリファレンスセルに対応し、即ち1つのビットラインに関連する全てのメモリセルのデータフェイル(data fail)が発生する可能性が高い。

【0016】例えば、図3に図示されるように、リファレンスレベルがデータ‘1’に対応するレベルに偏る場合A、又はリファレンスレベルがデータ‘0’に対応するレベルに偏った場合B、データ失敗が発生する可能性が増大されるだけでなく、強誘電体メモリ装置の内部で、又は外部でバイアスされたリファレンスレベル(biased reference level)の調停が不可能である。又、さらに偏った場合、データ‘1’又は‘0’に対応するレベルを完全に外れる場合もなおデータフェイルが発生する。

【0017】

【発明が解決しようとする課題】従って、本発明の目的は、信頼性の向上した強誘電体RAM装置を提供することである。

【0018】本発明の他の目的は、センシングマージンの向上した強誘電体RAM装置を提供することである。

【0019】本発明の他の目的は、バイアスされた(biased)リファレンスレベルをチップ内部で自由に調停できる冗長(redundant)セルアレーを具備した強誘電体RAM装置を提供することである。

【0020】

【課題を解決するための手段】上述のような目的を達成するための本発明の1つの特徴によると、ワードライン、ビットライン、ワードラインに対応するセル電極ライン、そして各々が強誘電体キャパシタとスイッチングトランジスターを具備し、強誘電体キャパシタの1つの

電極が対応するスイッチングトランジスターを通して対応するビットラインに接続され、そのものの他の電極が対応するセル電極ラインに接続され、スイッチングトランジスターの制御電極が対応するワードラインに接続されるメモリセルのメモリアレーと、メモリセルのうち、選択されたメモリセルのデータビットに対応するレベル、そしてデータビットに各々対応するレベルの平均レベルを有するリファレンスレベルを受け入れて、選択されたデータビットのレベルを感知するための感知回路と、ビットラインに各々対応する複数のリファレンスセルを具備し、感知回路でリファレンスレベルを提供するためのリファレンスセルアレーとを含み、リファレンスセルアレーはビットラインに各々対応する少なくとも1つ以上の冗長セルを付加的に具備することによってリファレンスレベルがデータビットのうち、1方向でバイアスされる時、バイアスされたリファレンスレベルを補正する。

【0021】この望ましい態様において、各ビットラインに対応するリファレンスセルと冗長セルは相互違う面積を有する強誘電体キャパシタを各々含む。

【0022】この望ましい態様において、ビットライン対リファレンスセルの比は、1：1で構成される。

【0023】本発明の他の特徴によると、ワードライン、ビットライン、ワードラインに対応するセル電極ライン、そして各々が強誘電体キャパシタとスイッチングトランジスターを具備し、強誘電体キャパシタの1つの電極が対応するスイッチングトランジスターを通して対応するビットラインに接続され、そのものの他の電極が対応するセル電極ラインに接続され、スイッチングトランジスターの制御電極が対応するワードラインに接続されるメモリセルのメモリアレーと、メモリセルのうち選択されたメモリセルのデータビットに対応するレベル、そしてデータビットに各々対応するレベルの平均レベルを有するリファレンスレベルを受け入れて、選択されたメモリセルのデータビットのレベルを感知するための感知回路と、ビットラインに各々対応する複数のリファレンスセルを具備し、感知回路でリファレンスレベルを提供するためのリファレンスセルアレー及び、ビットラインとリファレンスセルの比は、1：1であり、各ビットラインに対応する少なくとも1つ以上の冗長セルを具備し、リファレンスレベルがデータビットのうち、1方向にバイアスされる時、前記リファレンスレベルを対応する冗長セルで代替することによってバイアスされたリファレンスレベルを補正するための冗長セルアレーとを含む。

【0024】この望ましい態様において、各ビットラインに対応する冗長セル、又は少なくとも2つ以上の冗長セルは、リファレンスセルの強誘電体キャパシタの面積と他の面積を有するキャパシタとを含む。

【0025】この望ましい態様において、冗長セルは、

相互違う面積を有する強誘電体キャパシタとを含む。

【0026】このような装置によって、リファレンスレベルがデータレベルでバイアスされる場合、バイアスされたリファレンスセルを冗長リファレンスセルで実現できる。

【0027】

【発明の実施の形態】以下、本発明の実施形態による参照図面、図4乃至図8に基づいて詳細に説明する。

【0028】図4、図5、及び図6を参照すると、本発明の強誘電体RAM装置は、少なくとも1つ以上の冗長セルアレー50bを提供し、冗長セルアレー50bはリファレンスセルアレー50aで対応するリファレンスビットラインRBLjで提供されるリファレンスレベルがデータ‘1’又は‘0’に対応するレベルに偏る場合、これを補正するための手段として提供される。これによって強誘電体RAM装置は、安定されたセンシングマージンを確保でき、そのものの信頼性が向上する。

【0029】図4を参照すると、本発明の望ましい実施形態による強誘電体RAM装置の構成を示すブロック図が示されている。

【0030】図4に示されるように、行と列を規定する基板上的のセルアレー領域10に対応する行に沿って、m個のワードラインWL1~WLm及びm個のプレートラインPL1~PLmが各々伸張する。又、対応する列に沿ってn個のビットラインBL1~BLnが伸張する。m個のワードラインWL1~WLmとn個のビットラインBL1~BLnが交差する点にm×n個の強誘電体メモリセルがマトリックス形態で形成される。

【0031】各メモリセルは、1つのスイッチングトランジスターTrij（ここで、i=1~m、j=1~n）と強誘電体キャパシタCfijで構成される。キャパシタCfijの2つの電極の間には強誘電体物質が挿入されている。スイッチングトランジスターTrijの電流通路（current path）、即ちドレーンソースチャンネル（drain-source channel）は、対応する強誘電体キャパシタCfijの1つの電極と対応するビットラインBLjの間に接続される。スイッチングトランジスターTrijのゲートは、対応するワードラインWLiに接続される。例えば、メモリセルMC11で、スイッチングトランジスターT11の電流通路は強誘電体キャパシタC11の1つの電極とビットラインBL1の間に接続され、そのもののゲートはワードラインWL1に接続される。又強誘電体キャパシタC11の他の電極は対応するプレートラインPL1に接続される。

【0032】再び、図4を参照すると、ワードラインWL1~WLmとプレートラインをPL1~PLmは、行デコード回路20に接続される。行デコード回路20は1つのワードラインを選択し、選択されたワードラインに対応するプレートライン上に強誘電体物質の全ての

分極ドメインを所定の方向に完全に分極させる電圧レベルのパルス信号を印加する。

【0033】各ビットラインBL1~BLnの一端は、ラッチ感知回路30に接続され、他の一端は、列選択回路70に接続される。感知回路30は図示されるように、感知駆動レベル発生回路40からの2つの感知駆動ラインSAP及びSAN、そしてリファレンスセルアレー50aに連結されたn個のリファレンスビットラインRBL1~RBLnと接続され、n個のラッチ感知増幅器（latch sense amplifiers）で構成される。

【0034】各ラッチ感知増幅器は、図4に図示されるように、2つのCMOS回路で構成される。PMOSTランジスタP1とNMOSTランジスタN1で構成されるCMOS回路で、トランジスタP1及びN1の電流通路は、感知駆動ラインSAP及びSANの間に直列に接続され、それらのゲートは対応するリファレンスビットラインPBLjに共通に接続される。PMOSTランジスタP2とNMOSTランジスタN2で構成されるCMOS回路で、トランジスタP2及びN2の電流通路もなお感知駆動ラインSAP及びSANの間に直列に接続され、それらのゲートは対応するビットラインBLjに共通に接続される。感知駆動ラインSAPとSAN上には感知駆動レベル発生回路40からの2つの相補的な感知駆動信号が各々印加される。

【0035】列選択回路70は、この分野の通常の知識を持つ者によく知られるように、n個のNMOSTランジスタ（図示せず）を具備する。各選択トランジスタの電流通路は対応するビットラインBLjと対応するデータラインDLy（ここで、y=1~k）の間に接続される。各トランジスタは列デコード回路60からの各列選択信号Y1~Ynによってターンオン/オフされる。

【0036】リファレンスセルアレー（reference cell array）50nは、通常よく知られるように、選択されたメモリセルに貯蔵されたデータ‘1’又は‘0’の基準になるレベルを、対応するビットラインを通して感知回路30のラッチ感知増幅器で提供する。リファレンスセルアレー50aで任意に選択されたメモリセルに対応するラッチ感知増幅器で提供される基準レベルがリファレンスセルのキャパシタ特性が変化することによって初期設定された基準レベルで選択されたメモリセルのデータ（例えば、データ‘1’）に該当するレベル方向に、又はそれと反対方向（例えば、データ‘0’）にバイアスされ得る。

【0037】再び図4を参照すると、本発明によるFRAM装置は、冗長セルアレー50bを含む。冗長セルアレー50bはバイアスされた基準レベルを初期設定された基準レベルで調停するため提供される。冗長セルアレー50bは、少なくとも2つ以上のアレーで構成するこ

とができる。ここで、注意しなければならない点は、冗長セルアレー50bを構成する少なくとも2つ以上のアレーの強誘電体キャパシタの面積は、相互違う形成が行われることである。これに対する説明は、以後図5～図7で詳細に説明する。

【0038】図5を参照すると、本発明の望ましい実施形態によるリファレンスセルアレーの回路構成を示すブロック図が示されている。そして、図6を参照すると、本発明の望ましい実施形態による冗長セルアレーの回路構成を示すブロック図が示されている。

【0039】再び図5を参照すると、リファレンスセルRMC_nの各々は、図4で説明されたメモリセルMC_iと同一のスイッチングトランジスタRT_rと強誘電体キャパシタRC_Fとを含み、強誘電体キャパシタRC_Fの1つの電極は、対応するリファレンスビットラインRBL_jに接続され、他の電極は、リファレンスプレートラインRPLに接続され、スイッチングトランジスタRT_rのゲート電極はリファレンスワードラインRWLに接続される。

【0040】そして、スイッチングトランジスタRT_rと強誘電体キャパシタRC_Fの1つの電極の接続点D_{N0}、D_{N1}、…、D_{Nj}は信号ラインRPSに制御されるnMOSFET・M1を通して対応する信号ラインRFDINと-RFDIN（図中においてRFDINに上線を付して表記；以下同様）に各々接続される。言い換えると、接続点D_{N1}及びD_{N4}は、第1及び第4リファレンスセルRMC1及びRMC4を通して信号ラインRFDINに各々接続され、接続点D_{N2}及びD_{N3}は、第2及び第3リファレンスセルRMC2及びRMC3を通して信号ライン-RFDINに各々接続される。このような順序によって行方向にリファレンスセルが反復的に配列される。

【0041】信号ラインREQに制御されるnMOSFET・M2は、各対のリファレンスビットラインRBL_q及びRBL_{q+1}（例えば、RBL1及びRBL2、RBL3及びRBL4）の間に形成される電流通路を有する。信号REQが高レベルで印加されると、FET・M2はターンオンされ、各対のリファレンスビットラインRBL_q及びRBL_{q+1}が同一のレベルを有する。反面、信号REQが低レベルで印加されると、FET・M2はターンオフされ、各対のリファレンスビットラインRBL_q及びRBL_{q+1}が独立的な電圧状態を有する。各対のリファレンスメモリセルRMC_k及びRMC_{k+1}（例えば、RMC1及びRMC2、RMC3及びRMC4）は、信号RPSに制御されるFET・M1と信号RFDIN及び-RFDINによって常に相反するデータを貯蔵するようになり、メモリセルアレーの強誘電体メモリセルの状態を認識するためのリファレンスレベルを提供する役割を果たす。

【0042】本発明による図6の冗長セルアレー50b

は、図5と同一の回路構成を有する。しかし、各冗長アレー50bの強誘電体キャパシタRC_{F1}、RC_{F2}の面積は、相互に異なる形成がなされる。以下、リファレンスセルアレー50aのキャパシタ面積は、記号A_rで表示され、メモリセル10のキャパシタ面積は記号A_mで表示される。もし、リファレンスセルアレー50aから提供されるリファレンスレベルが、図3に図示されたように、データ‘1’に対応するレベルに偏る場合、即ちリファレンスセルアレー50aのキャパシタ面積A_rがメモリセルアレーのキャパシタ面積A_mより大きい場合、バイアスされたリファレンスレベルを、望むリファレンスレベルで調停するためリファレンスセルアレー50aのキャパシタ面積A_rは、より小さい面積にしなければならない。

【0043】これと反対に、リファレンスセルアレー50aから提供されるリファレンスレベルが、図3に示されるように、データ‘0’に対応するレベルに偏る場合、即ちリファレンスセルアレー50aのキャパシタ面積A_rがメモリセルアレーのキャパシタ面積A_mより小さい場合、バイアスされたリファレンスレベルを望むリファレンスレベルで調停するためリファレンスセルアレー50aのキャパシタ面積A_rは、より大きい面積にしなければならない。

【0044】前者の問題を解決するため、図6の第1冗長セルアレーの強誘電体キャパシタRC_{F1}の面積は、リファレンスセルアレー50aのそれより小さく形成する。そして、後者の問題を解決するため、図6の第2冗長セルアレーの強誘電体キャパシタRC_{F2}の面積は、リファレンスセルアレー50aのそのものより大きく形成すべきである。本発明の実施形態による上述の冗長セルアレー50bは、2つの冗長アレーで構成されるが、一層細かくリファレンスレベルを調停するため、もっと多い冗長アレーを構成できることは、この分野の通常の知識を持っている者には自明である。

【0045】リファレンスセルの動作を以下説明する。図5に図示されるように、リファレンスセルRMC1及びRMC2のデータが各々‘1’と‘0’と貯蔵されていると仮定する。もし、リファレンスプレートラインRPL上にパルス信号が印加されると、リファレンスセルRMC1に対応するリファレンスビットラインRBL1には強誘電体キャパシタRC_Fの分極状態変化による電荷、即ちデータ‘1’に該当する電圧（即ち、スイッチングされる部分—図2で21曲線—に対応する電荷量）が発生し、リファレンスセルRMC2に対応するリファレンスビットラインRBL2にはそのものの分極状態変化、即ちデータ‘0’に該当する電圧（即ち、非スイッチングされる部分—図2で23曲線—に対応する電荷量）が発生する。

【0046】従って、リファレンスビットラインRBL1は、データ‘1’に対応するレベル（例えば、電源電

圧)でチャージされ、リファレンスビットラインRBL2は、データ‘0’に対応するレベル(例えば、接地電圧)でチャージされる。この時、信号REQが高レベルで印加されることによって、リファレンスビットラインRBL1及びRBL2は、データ‘1’とデータ‘0’のレベルの平均レベルでチャージされる。ここで、リファレンスセルRMC1及びRMC2の分極Pは、図2で状態点Dに該当する状態を有する。

【0047】書込/読出動作が行われると共に信号RFDINと-RFDINが各々低レベル0Vと高レベルVccで印加されると、リファレンスセルRMC1の強誘電体キャパシタRCFの分極状態は、リファレンスビットラインRBL1で強誘電体キャパシタRCFに印加される正の電圧+Vccによってデータ‘1’に該当する状態(図2で状態点B)で反転され、リファレンスセルRMC2の強誘電体キャパシタRCFの分極状態は、書込/読出動作が行われる以前の分極状態、即ちデータ‘0’に該当する状態(図2で状態点D)をそのまま維持するようになる。上の過程を通して、リファレンスセルの強誘電体キャパシタRCFの分極状態によるデータは再書込される。図6に図示された冗長アレーも同一の方法でリファレンスレベルを提供し、再書込動作が行われる。従って、それに対する説明はここで省略する。

【0048】本発明によるリファレンスセルが1つのビットラインに対応して3つのリファレンスセルを利用する場合、図8に図示されるように、リファレンスセルを構成する強誘電体キャパシタRCF、RRCF1及びRRCF2の面積Arをメモリセルの強誘電体キャパシタCFの面積Amより大きくした場合(A:キャパシターRCFがスイッチングされる時、発生される電荷量の変化がメモリセルのそれより大きい場合)、同一にした場合(B:キャパシタがスイッチングされる時、発生される電荷量の変化がメモリセルのそれより同一の場合)、そしてそれより小さくした場合(C:キャパシタスイッチングされる時、発生される電荷量の変化がメモリセルのそれより小さい場合)で各々構成される。

【0049】図3に示されるように、リファレンスレベルがデータ‘1’とデータ‘0’の中間レベルに形成されないで、データ‘1’に対応するレベル方に偏ったりデータ‘0’に対応するレベル方に偏る時、データフェイラが発生する可能性が高まる。従ってリファレンスセルの強誘電体キャパシタRCFのスイッチング部分の電荷変化量が大きい場合、即ちAの場合、リファレンスセルは、メモリセルのキャパシタ面積Amより小さいキャパシタ面積Arを具備したリファレンスセルで実現される。

【0050】そしてリファレンスセルの強誘電体キャパ

シタのスイッチング部分の電荷変化量が小さい場合、即ちCの場合、リファレンスセルがメモリセルのキャパシタ面積Amより大きいキャパシタ面積Arを具備したリファレンスセルで実現される。以上より、リファレンスセルの強誘電体キャパシタの特性が不均一であることによってデータ‘1’又は‘0’に対応するレベルでリファレンスがバイアスされる時、バイアスされたリファレンスレベルは本発明による冗長アレーによって調停することができる。結果として、強誘電体RAM装置は安定されたデータセンシングマージンが確保できる。

【0051】

【発明の効果】リファレンスレベルがバイアスされる時、これを補正できる冗長セルアレーを提供する強誘電体RAM装置の信頼性が向上する。

【図面の簡単な説明】

【図1】 1T/1C強誘電体メモリセルを示す回路図である。

【図2】 強誘電体キャパシタのヒステリシス特性を示すグラフである。

【図3】 従来のリファレンスセルの問題点を説明するための図面である。

【図4】 本発明の望ましい実施形態による強誘電体ランダムアクセスメモリ装置の構成を示すブロック図である。

【図5】 本発明の望ましい実施形態によるリファレンスセルアレー及び冗長セルアレーの内部回路を示すブロック図である。

【図6】 本発明の望ましい実施形態によるリファレンスセルアレー及び冗長セルアレーの内部回路を示すブロック図である。

【図7】 本発明の望ましい実施形態によるリファレンスセルアレー及び冗長セルアレーの内部回路を示すブロック図である。

【図8】 バイアスされた(biased)リファレンスセル及び理想的なリファレンスセルのスイッチング及び非スイッチング曲線によるリファレンスレベルの平均値を示す図面である。

【符号の説明】

10:メモリセルアレー

20:行デコード回路

30:ラッチ感知回路

40:感知駆動レベル発生回路

50a:リファレンスセルアレー

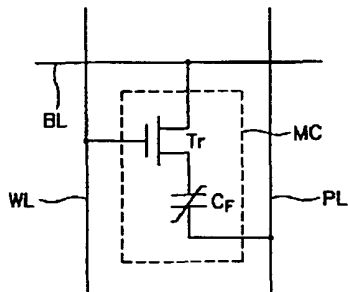
50b:冗長セルアレー

60:列デコード回路

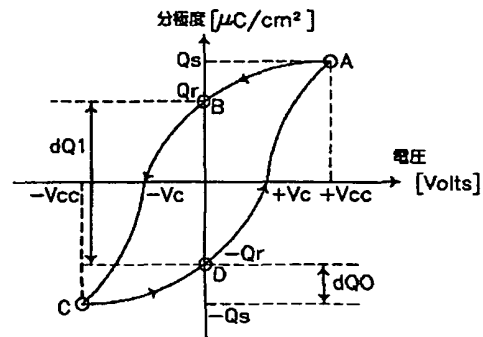
70:列選択回路

80:主感知及び書込ドライバ回路

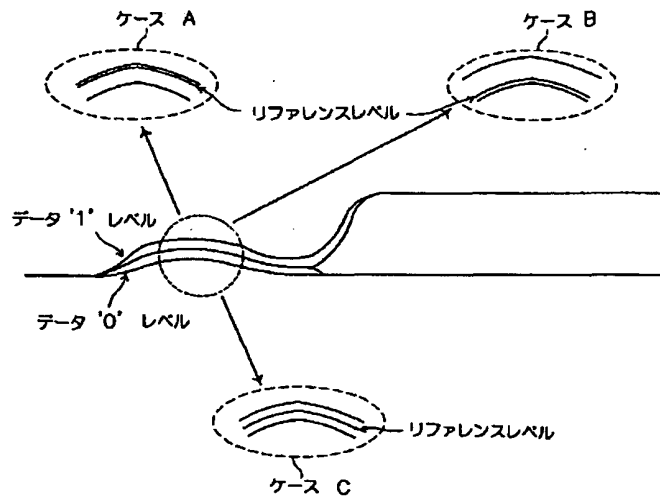
【図 1】



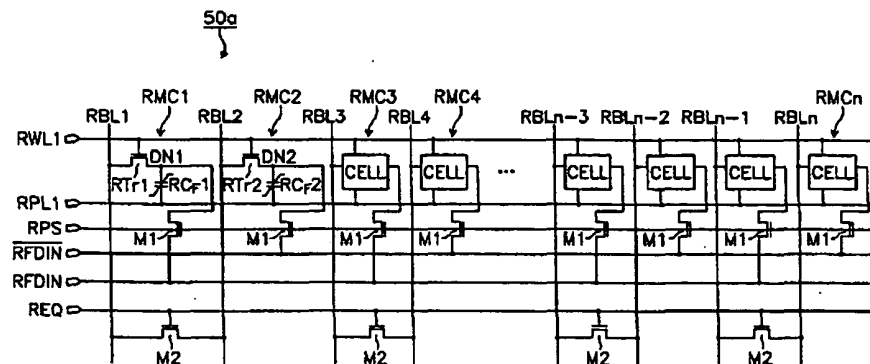
【図 2】



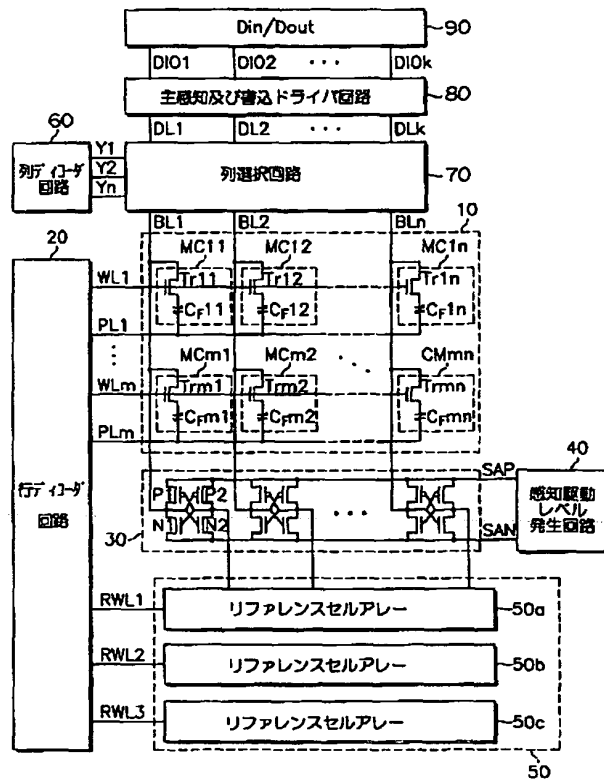
【図 3】



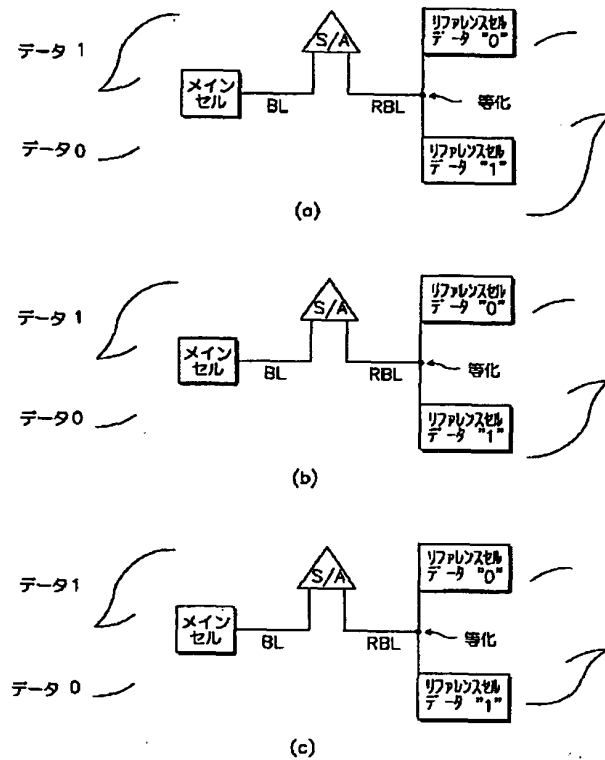
【図 5】



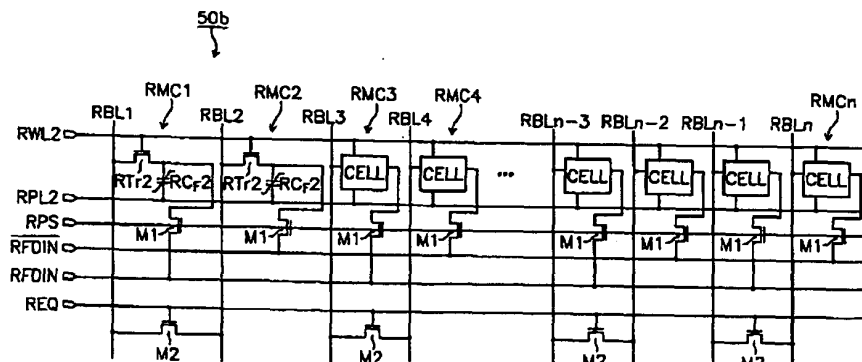
【図4】



【図8】



【図6】



【図 7】

